

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-207385

(43)Date of publication of application : 18.10.1985

(51)Int.Cl.

H01L 29/78
G11C 17/00

(21)Application number : 59-063701

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.03.1984

(72)Inventor : MIYAMOTO JUNICHI

(54) SEMICONDUCTOR MEMORY DEVICE

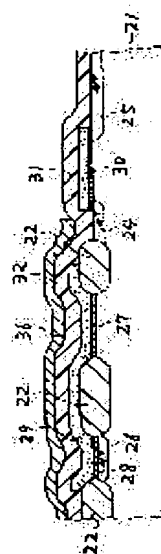
(57)Abstract:

PURPOSE: To improve reliability, and to reduce the area of a pattern by increasing impurity concentration in a drain region in a thin-film gate oxide film transistor with a floating gate and lowering impurity concentration in a region being in contact with the gate in a source region.

CONSTITUTION: A source region 23, an N⁺ type drain region 24, an N⁺ type diffusion region 25 for a bit line and an N⁺ type diffusion region 26 for control are formed in an element region surrounded by a field oxide film 22 in the surface of a P type semiconductor substrate 21.

A floating gate 29 consisting of polycrystalline silicon through extremely thin oxide films 27, 28, a gate oxide film 30 and a select gate 31 are shaped. A common potential line 34, a diffusion region 25 for the bit line and the bit line 36 are formed on a CVD oxide film 32.

Withstanding voltage between N type impurity diffusion layers is increased with the lowering of concentration when a distance (a) is kept constant, and the distance (a) can be set to a small value with the reduction of impurity concentration when withstanding voltage is kept constant.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-207385

⑮ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)10月18日

H 01 L 29/78
G 11 C 17/00

1 0 1

7514-5F
6549-5B

審査請求 未請求 発明の数 2 (全7頁)

⑭ 発明の名称 半導体記憶装置

⑰ 特 願 昭59-63701

⑱ 出 願 昭59(1984)3月31日

⑲ 発 明 者 宮 本 順 一 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社総合
研究所内

⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明細書の序書(内容に変更なし)

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

- (1) 電気的消去可能な読み出し専用記憶素子としてのフローティングゲート付薄膜ゲート酸化膜トランジスタと、このトランジスタを選択するセレクトトランジスタとを単位セルとして有し、上記フローティングゲート付薄膜ゲート酸化膜トランジスタのドレイン領域とフローティングゲートとの間のトンネル電流によつて書き込みおよび消去を行なう半導体記憶装置において、上記フローティングゲート付薄膜ゲート酸化膜トランジスタのドレイン領域の少なくとも一部の不純物濃度を、ソース領域より高く設定して形成したことを特徴とする半導体記憶装置。
- (2) 第1導電形の半導体基板と、この半導体基板の表面に互いに電気的に分離して形成された第2導電形の低濃度ソース領域、少なくと

も一部が上記ソース領域より高濃度のドレイン領域、ビット線用拡散領域およびコントロール用拡散領域と、一端部が前記ソース、ドレイン領域間のチャネル領域上に、他端部が前記コントロール用拡散領域の一部上にそれぞれ薄い酸化膜を介して形成されたフローティングゲートと、前記ドレイン領域およびビット線用拡散領域間のチャネル領域上に絶縁膜を介して形成されたフローティングゲートと、前記ドレイン領域およびビット線用拡散領域間のチャネル領域上に絶縁膜を介して形成されたセレクトゲートを具備したことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、半導体記憶装置に関するもので、特に電気的消去可能な読み出し専用記憶装置

(E²PROM)のセル構造に係る。

〔発明の技術的背景とその問題点〕

従来、E²PROMの一例として、「IEEE Journal

of Solid-State Circuits, Vol. 8C-17, No. 5, October 1982, pp 821-827」に示されているものは、極薄酸化膜(thin oxide)をゲート酸化膜とし、そのドレイン部分からのトンネル電流を利用してデータの書き込みおよび消去を行なっている。

しかし、この方法は、極薄酸化膜領域の面積が広いため、書き込み電圧 V_{pp} を下げるためには、第1層ポリシリコンと第2層ポリシリコンとの重なり部分の面積を大きく設定する必要があり、集積度が上がらない欠点がある。

このような欠点を除去するために、本出願人による特願昭58-30355号に、セル面積が小さく、しかも1層のポリシリコン層のみで形成できるE²PROMが提案されている。

第1図は、上述したE²PROMに広く用いられているフローティングゲート付薄膜ゲート酸化膜トランジスタの断面構成を示している。図において、11はP形の半導体基板で、この半導体基板11の一表面領域内には、ソース、ドレ

3

一方、データの書き込みを行なう場合は、ソースに5V、ドレインに高電圧(書き込み電圧) V_{pp} 、コントロールゲート17に0Vをそれぞれ印加することにより、フローティングゲート15から電子が放出され、閾値電圧 V_{th} は0V〜5V程度になる。この時、ソースに5Vを印加する理由は、閾値電圧 V_{th} が-5Vになつても、高電圧 V_{pp} が印加されるドレインからソースに向かつて電流が流れないようにするためである。

なお、チャネル直下部分のシャローまたはデープイオンインプランテーション領域との耐圧を、高電圧 V_{pp} 以上に保つようにしている場合もある。

ところで、上記極薄酸化膜の膜厚を100Åに設定したとすると、トンネル電流が流れる電圧は7~8Vである。しかし、データの書き込み時に、コントロールゲート17に0V、ドレインに高電圧 V_{pp} を印加すると、ドレイン領域と半導体基板との界面付近に空乏層ができ、極薄

5

インとしてのN⁺形高濃度不純物領域12₁、12₂が所定間隔に離間して形成される。これらN⁺形高濃度不純物領域12₁、12₂間には、それぞれに接した状態でN⁻形低濃度不純物領域13₁、13₂が形成される。

上記低濃度不純物領域13₁、13₂は、高耐圧を得るためのもので、これら不純物領域13₁、13₂間の半導体基板11上には、極薄酸化膜14を介してフローティングゲート15が形成される。このフローティングゲート15上には、酸化膜16を介してコントロールゲート17が形成されている。

上記のような構成において、データの消去を行なう場合は、ソース(不純物領域12₁、12₂)とドレイン(不純物領域12₂、13₂)に0Vを印加するとともに、コントロールゲート17に高電圧(20V以上)を印加する。すると、極薄酸化膜14にトンネル電流が流れ、フローティングゲート15に電子が注入されて、閾値電圧 V_{th} が正側例えば+5~+10Vに変化する。

4

酸化膜14には有効に高電圧 V_{pp} が加わらない。これは極薄酸化膜14と空乏層との直列容量に高電圧 V_{pp} がかかるためで、極薄酸化膜14に7~8Vの電圧を印加しようとする、 V_{pp} として20V以上が必要である。このような高電圧を印加するためには、リーク電流やジャンクションブレークダウン等を考慮して設計を行なう必要があり、信頼性の低下やパターン占有面積の増大を招く欠点がある。

(発明の目的)

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、書き込み電圧を下げるにより信頼性の向上とパターン面積の縮小化を図ることにあり、書き込み電圧を下げて通常読み出しモード電圧ではメモリセルに悪影響を与えない構造の半導体記憶装置を提供するものである。

(発明の概要)

すなわち、この発明においては、上記の目的を達成するために、電気的消去可能な読み出し

6

専用記憶素子としてのフローティングゲート付薄膜ゲート酸化膜トランジスタにおけるドレイン領域の一部または全部の不純物濃度を上げ、かつソース領域におけるゲートと接する領域の不純物濃度を下げることににより、書き込み電圧を下げるとともに、ソース側からの書き込みを防ぐようにしたものである。

〔発明の実施例〕

以下、この発明の一実施例について図面を参照して説明する。第2図は、P形の半導体基板11上にN形の不純物領域18を形成し、上記半導体基板11上に100Åの薄い酸化膜19を介してゲート電極20を形成したものを示している。今、不純物領域18を接地し、ゲート電極20に負の電圧 $-V$ を印加すると、ゲート電極20下の半導体基板11には空乏層が形成される。このため、実際にゲート酸化膜19に印加される電圧は、第3図に示すようなN形不純物濃度の関数となる。ここで、 V_{ox} はゲート酸化膜厚、 V はゲート印加電圧を示している。

7

ランジスタ QM_1 、 QM_2 のフローティングゲート内に電子を注入し、双方のセルの閾値電圧 V_{th} を正の値、例えば+6V程度に設定して消去状態にする。次に、トランジスタ QM_1 に“0”を書き込むとすると、 $B0$ に高電圧 V_{pp} 、 $B1$ はフローティング状態、セレクトゲート SG に高電圧 V_{pp} 、コントロールゲート CG に0Vを印加して、トランジスタ QM_1 のフローティングゲートに蓄積させた電子を放出させ、このトランジスタ QM_1 の閾値電圧 V_{th} を負側にシフトさせる。但しこの場合、閾値電圧 V_{th} が負側にシフトしてもビット線 $B0$ からソース S へ大電流が流れないようにするため、ソース S の電圧を5Vに上げる必要がある。この時、トランジスタ QM_2 では、ゲートが0V、ソースが5Vという状態が生じ、フローティング状態からの電子の放出による閾値電圧 V_{th} のシフトが問題となる。この様子を第5図に示す。ここで不純物領域の不純物濃度が高いと空乏層の影響が無視され、例えば不純物濃度が $10^{10}cm^{-3}$ であると、1日程度で書き込

9

100Åの膜厚を有するゲート酸化膜19でトンネル電流が流れ始める電圧は約8Vであるが、実用に則して2ms程度の時間で閾値電圧 V_{th} の変化を8V程度起こすためには、ゲート酸化膜に約12Vの電圧を印加する必要がある。従って、N形不純物領域18の濃度が $10^{10}cm^{-3}$ では13.2Vで済むが、 $10^{10}cm^{-3}$ では23V必要ということになる。以上の考察により、書き込み電圧 V_{pp} を低電圧化して高効率化するためには、「 $V_{ox}/V=0.9$ 」以上が望ましく、N形不純物領域18の濃度、すなわち、トンネル電流に関与する薄膜トランジスタのドレイン領域の不純物濃度は $10^{10}cm^{-3}$ 以上必要であるとの結論に達する。

ところで、第4図に示すようなセレクトトランジスタ Q_{S1} 、 Q_{S2} と記憶用トランジスタ QM_1 、 QM_2 とから構成される同相ワードライン上の2個のメモリセルに“1”、“0”の情報を書き込むためには、以下に記すような手順を踏む。まず、 $B0=B1=S=0V$ とし、セレクトゲート SG 、コントロールゲート CG に高電圧 V_{pp} を印加してト

8

み状態と消去状態との変化がなくなってしまう。第5図に示したのは長パルスで書き込みを行なった場合の計算例であるが、実際の使用状態のように、2msのパルス幅で何回も書き込みを行なえば閾値電圧 V_{th} の変化量は更に大きくなり、その合計時間に対する閾値電圧 V_{th} の変化量は、不純物濃度が例えば $10^{10}cm^{-3}$ の時は、破線で示すようになることを実験により確認している。以上の考察により、書き込み電圧の低下に伴って非選択セルへのソース側からの書き込みが問題となる。これに対処するためには、ソース側電位を5V以下に設定すれば良いが、このようにすると書き込み時の閾値電圧 V_{th} の変化量を低下させるので望ましくない。そこで、ソース側（特にゲートと接する領域）の不純物濃度を下げ、空乏層により薄膜にかかる電界を緩和する。第5図は、不純物濃度を変えた場合の書き込み特性を示しており、不純物濃度を1/10に低下させることにより約 10^8 耐性が高まることが示されている。従って、ソース側の不純物

10

濃度は 10^{10}cm^{-3} 以下に設定する必要がある。

第6図(a)、(b)はそれぞれ、上述したドレイン領域とソース領域との不純物濃度の考察に基づいて形成した前記第4図の回路のパターン平面図、(b)図は(a)図のX-X'線に沿った断面構成図である。図において、一点鎖線A₁、A₂で囲んだ領域がそれぞれ一つのメモリセルに対応している。図中21はP形の半導体基板であり、この基板21の表面のフィールド酸化膜22によつて囲まれた素子領域には、N⁺形で不純物濃度が 10^{19}cm^{-3} のソース領域23、このソース領域23より高濃度 (10^{20}cm^{-3}) の不純物領域24aを有するN⁺形のドレイン領域24、N⁺形のビット線用拡散領域25、およびコントロールゲートの代わりとなるN⁺形コントロール用拡散領域26がそれぞれ互いに電気的に分離されて形成されている。なお、前記ビット線用拡散領域25とコントロール用拡散領域26は、セル内において前記ドレイン領域24を中心として互いに反対側の位置に配置されており、前記コントロー

ル用拡散領域26は多数のセルに延長して形成されている。前記ソース、ドレイン領域23、24間のチャネル領域上およびコントロール用拡散領域26の一部上には、それぞれ極薄酸化膜27、28を介して多結晶シリコンから成るフローティングゲート29が形成される。また、前記ドレイン領域24とビット線用拡散領域25間のチャネル領域上には、ゲート酸化膜30を介して前記コントロール用拡散領域26と平行な方向に延長するように、セレクトゲート31が形成される。更に、全面にはCVD酸化膜32が堆積形成されており、このCVD酸化膜32上には前記コントロール用拡散領域26およびセレクトゲート31と直交する方向に延長するように、前記ソース領域23とコンタクトホール33を介して接続される共通電位線(AE配線)34、および前記ビット線用拡散領域25とコンタクトホール35を介して接続されるビット線(AE配線)36が形成されている。なお、前記コンタクトホール33、35はメモ

11

リセルA₁に隣接する他のセルに、それぞれ対称的に形成されたソース領域あるいはビット線用拡散領域について共通して使用される。

上記E²PROMセルにおいて、消去はコントロール用拡散領域26を高電位、ドレイン領域24を0Vとし、フローティングゲート29に電荷を蓄積させることにより行なう。また、書き込みはコントロール用拡散領域26を0V、ドレイン領域24を高電位とし、フローティングゲート29からドレイン領域24へ電荷を流出させることにより行なう。セルが選択されていない場合は、セレクトトランジスタがオフであるか、または、コントロール用拡散領域26およびドレイン領域24の電位がフローティングゲート29との電荷移送に関与しないように、例えば両者とも高電位あるいは両者とも低電位等に設定される。

このような構成によれば、従来は20V以上必要であつた書き込み電圧を13V程度にまで下げることが可能となり、さらにこの状態でソ

12

ース側電位を5Vに上昇させても誤書き込みのないメモリセルが実現できる。また、高濃度領域を前記第6図(a)の破線24aで囲んだ領域のように規定することにより、次のような効果も生ずる。すなわち、N形の不純物拡散層間の耐圧はその距離aを一定とすると不純物濃度に依存し、第7図に示すように濃度が低いほど耐圧が高い。従つて、耐圧を一定とするならば、不純物濃度が低い方が不純物拡散層間の距離aを小さく設定できる。前記第6図(a)、(b)の構成ではセルサイズを決定するスペーシングの両端の拡散層は全て低濃度になつており、セルサイズの縮小が可能となる。この構造によりセルサイズは従来の約2/3にできる。従つて、信頼性が高く、占有面積の小さいセルが実現できる。

なお、上記実施例ではドレイン領域の一部の領域の不純物濃度のみを高く設定したが、ドレイン領域の全ての不純物濃度を高く設定しても良い。

〔発明の効果〕

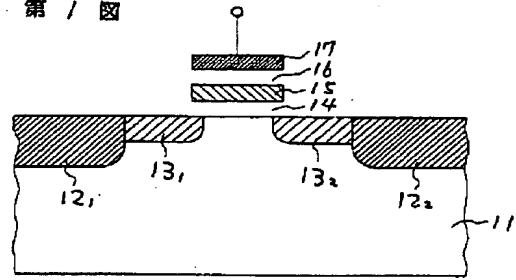
以上説明したようにこの発明によれば、書き込み電圧を下げることににより信頼性の向上とパターン面積の縮小化を図れ、書き込み電圧を下げて通常のリフレッシュモード電圧ではメモリセルに悪影響を与えない半導体記憶装置が得られる。

4. 図面の簡単な説明

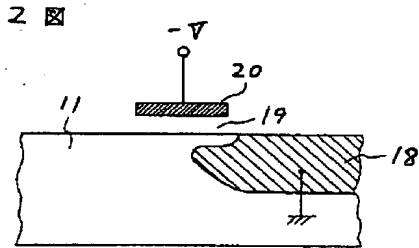
第1図は従来の半導体記憶装置を説明するための断面図、第2図ないし第5図はそれぞれこの発明の一実施例に係る半導体記憶装置を説明するための図、第6図は上記第4図の回路のパターン構成例を示す図、第7図は拡散層の耐圧特性を説明するための図である。

21…半導体基板、22…フィールド酸化膜、23…ソース領域、24…ドレイン領域、24a…高濃度の不純物領域、25…ビット線用拡散領域、26…コントロール用拡散領域、27、28…極薄酸化膜、29…フローティングゲート、30…ゲート酸化膜、31…セレクトゲート。

第1図

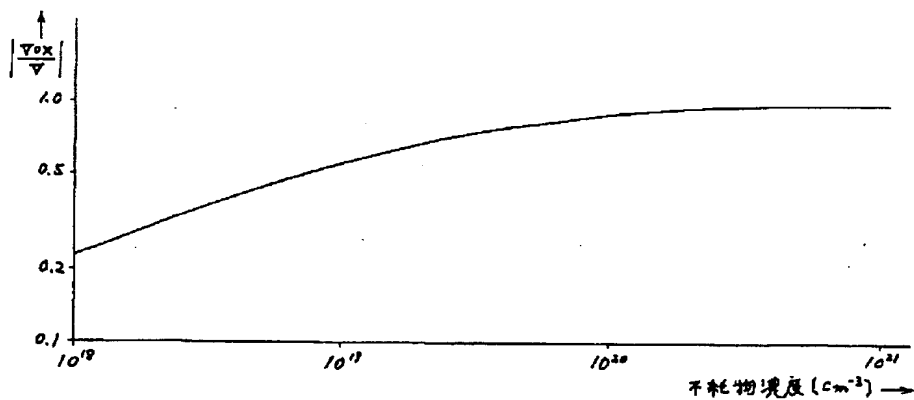


第2図

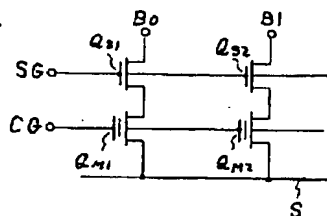


15

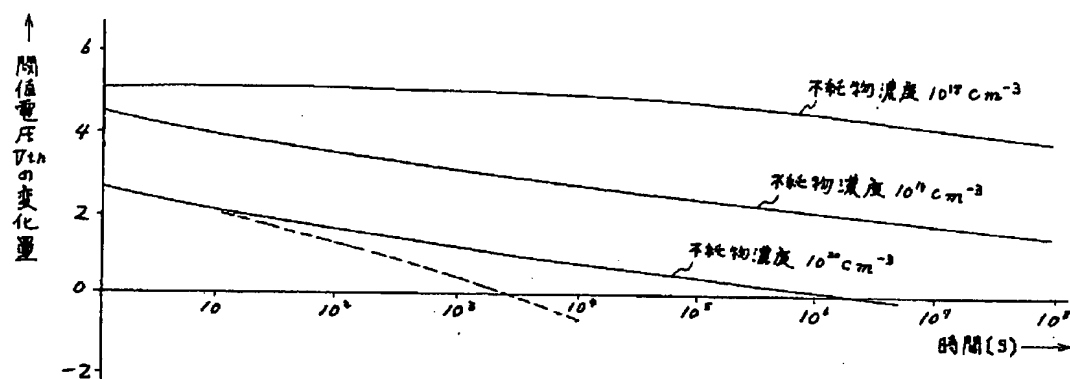
第3図



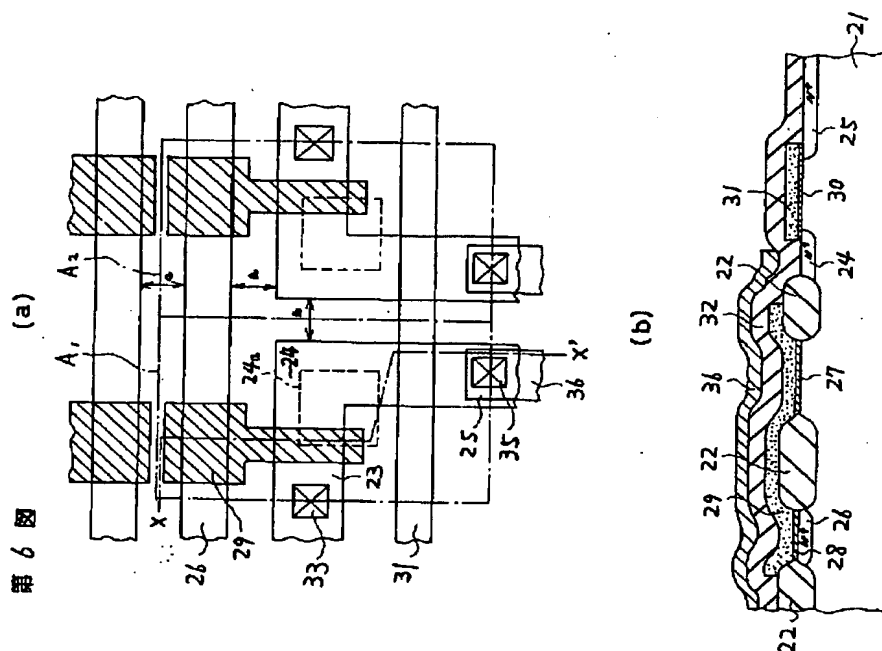
第4図



第5図



第6図

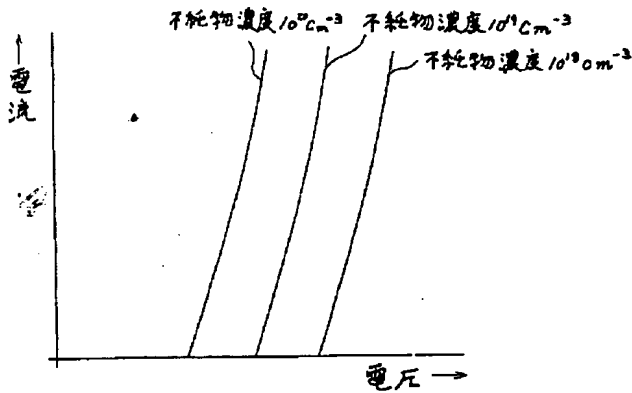


手続補正書

昭和59年4月2日

特許庁長官 若杉和夫 殿

第7図



1. 事件の表示

特願昭 59-63701 号

2. 発明の名称

半導体記憶装置

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

4. 代理人

住所 東京都港区虎ノ門1丁目28番5号 第17森ビル
〒105 電話 03 (502) 3181 (大代表)

氏名 (5847) 弁護士 鈴江 武彦



5. 自発補正

6. 補正の対象

明細書全文

7. 補正の内容

明細書の序言(内容に変更なし)

昭和59年4月2日名称変更済(一括)



平成 3. 9. 17 発行

手 続 補 正 書

平成 3 年 3 月 29 日

特許庁長官 植 松 敏 殿

特許法第 17 条の 2 の規定による補正の掲載

平 3. 9. 17 発行

昭和 59 年特許願第 63701 号 (特開昭
60-207385 号, 昭和 60 年 10 月 18 日
発行 公開特許公報 60-2074 号掲載) につ
いては特許法第 17 条の 2 の規定による補正があっ
たので下記のとおり掲載する。 7 (2)

Int. Cl.	識別 記号	庁内整理番号
H01L 29/788 27/115 29/792		7514-5F H01L 29/78 -371 8831-5F H01L 27/10 -434

1. 事件の表示

特 願 昭 5 9 - 6 3 7 0 1 号

2. 発明の名称

半 導 体 記 憶 装 置

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

4. 代 理 人

東京都千代田区竈が関 3 丁目 7 番 2 号

〒100 電話 03 (3502) 3181 (大代表)

(5847) 弁理士 鈴 江 武 彦



5. 自 発 補 正

6. 補正により増加する発明の数 1

7. 補正の対象

明 細 書

8. 補正の内容

特許請求の範囲を別紙の通り訂正する。

2. 特 許 請 求 の 範 囲

(1) チャネル領域と、このチャネル領域を挟む第 1、第 2 の拡散領域とを有するフローティングゲート付薄膜ゲートトランジスタにおいて、フローティングゲートと接する第 1 の拡散領域の一部または全部の不純物濃度を上げ、且つこのフローティングゲートと接する第 2 の拡散領域の不純物濃度を下げた構造を備え、上記フローティングゲートから上記第 1 の拡散領域へ電界を印加し、フローティングゲートから電子を引き抜くことによって書き込みを行なうと共に、上記第 2 の拡散領域への電子の放出を防ぐことを特徴とする半導体記憶装置。

(2) 前記フローティングゲート付薄膜ゲートトランジスタにおける薄膜ゲートとして、膜厚が 100 Å 以下のゲート酸化膜を設けたことを特徴とする特許請求の範囲第 1 項記載の半導体記憶装置。

(3) 電気的消去可能な読み出し専用記憶素子としてのフローティングゲート付薄膜ゲート酸

化膜トランジスタと、このトランジスタを選択するセレクトトランジスタとを単位セルとして有し、上記フローティングゲート付薄膜ゲート酸化膜トランジスタのドレイン領域とフローティングゲートとの間のトンネル電流によって書き込みおよび消去を行なう半導体記憶装置において、上記フローティングゲート付薄膜ゲート酸化膜トランジスタのドレイン領域の少なくとも一部の不純物濃度を、ソース領域より高く設定して形成したことを特徴とする半導体記憶装置。

(4) 第 1 導電型の半導体基板と、この半導体基板の表面に互いに電気的に分離して形成された第 2 導電型の低濃度ソース領域、少なくとも一部が上記ソース領域より高濃度のドレイン領域、ビット線用拡散領域およびコントロール用拡散領域と、一端部が前記ソース、ドレイン領域間のチャネル領域上に、他端部が前記コントロール用拡散領域の一部上にそれぞれ薄い酸化膜を介して形成されたフローティングゲートと、前記ドレイン領域およびビット線用拡散領域間のチャネル領域

平成 3. 9. 17 発行

上に絶縁膜を介して形成されたセレクトゲートと
を具備したことを特徴とする半導体記憶装置。

出願人代理人 弁理士 鈴江武彦